



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen:

101 51 202.3

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Anmeldetag:

17. Oktober 2001

Anmelder/Inhaber:

Infineon Technologies AG, 81669 München/DE

Bezeichnung:

Halbleiterstruktur mit kompensiertem Widerstand im
LDD-Bereich und Verfahren zu deren Herstellung

IPC:

H 01 L 29/78

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 4. Mai 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Klostermeyer

Patentanwälte · Postfach 710867 · 81458 München
Infineon Technologies AG
St.-Martin-Str. 53

81669 München

PATENTANWÄLTE

European Patent Attorneys
European Trademark Attorneys

Fritz Schoppe, Dipl.-Ing.
Tankred Zimmermann, Dipl.-Ing.
Ferdinand Stöckeler, Dipl.-Ing.
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0
Telefax/Facsimile 089/790 22 15
Telefax/Facsimile 089/74996977
e-mail: szsz_iplaw@t-online.de

**Halbleiterstruktur mit kompensiertem Widerstand im LDD-Bereich
und Verfahren zu deren Herstellung**

Beschreibung

Halbleiterstruktur mit kompensiertem Widerstand im LDD-Bereich und Verfahren zu deren Herstellung

5

Die vorliegende Erfindung bezieht sich auf eine Halbleiterstruktur mit einem kompensiertem Widerstand in einem LDD-Bereich und auf ein Verfahren zur Herstellung derselben, insbesondere auf eine Halbleiterstruktur mit einem kompensiertem Widerstand in einem LDD-Bereich. Die vorliegende bezieht sich insbesondere auf MOS-Transistoren (MOS = Metal Oxid Semiconductor = Metall Oxid Halbleiter) bei denen zwischen einem Source-Bereich und einem Drain-Bereich ein leicht dotierter Drain-Bereich vorgesehen ist, der als LDD-Bereich bezeichnet wird (LDD = Lightly Doped Drain = leicht dotierter Drain-Bereich). Insbesondere bezieht sich die vorliegende Erfindung auf LDMOS-Transistoren und deren Herstellung (LDMOS = Lateral Diffused MOS = lateral diffundierter MOS).

10

Bei MOS-Transistoren für Hochleistungsanwendungen oder bei LDMOS-Transistoren für Hochfrequenz-Leistungsanwendungen wird zwischen der Gate-Struktur und dem Drain-Bereich der LDD-Bereich erzeugt, z.B. durch eine Implantation. Bei LDMOS-Transistoren wird vor der Erzeugung des Source-Bereichs auf der Source-Seite des Gates die erforderliche Kanalimplantation eingebracht, die dann in einem nachfolgenden Temperaturschritt unter die Gate-Struktur diffundiert wird.

15

Vorzugsweise wird bei LDMOS-Transistoren für Hochfrequenz-Leistungsanwendungen auf der dem Drain-Bereich zugewandten Seite der Gate-Struktur ein längerer, n-dotierter LDD-Bereich implantiert. Es wird stets versucht, das Verhalten (Performance) eines solchen LDMOS-Transistors zu verbessern. Eine Verbesserung des Verhaltens wird beispielsweise durch einen Anstieg der Durchbruchsspannung oder durch eine Verbesserung der Hochfrequenz-Eigenschaften erreicht, beispielsweise durch Abschirmung der Gate-Struktur gegenüber dem Drain-Bereich. Um

20

25

30

35

dies zu erreichen, wird im Stand der Technik vorgeschlagen, in dem n-dotierten LDD-Bereich ein flaches, vergrabenes Gebiet mit einer p-Dotierung zu implantieren. Dies wird beispielsweise von H. Söderbärg, u.a. in „Integration of a Novel High-Voltage Giga-Hertz DMOS Transistor into a Standard CMOS Process“, IEEE IEDM Washington 1995, Seiten 975-978 und von E. Gebara, u.a. in „Output Power Characteristics of High Voltage LDMOS Transistors“, GHz 2000 Symp., 5th Symp. on Giga-Hertz-Electronics, Proc., Göteborg, S. 13. 14. März 2000, Seiten 78-78 beschrieben.

Der Nachteil dieser Vorgehensweise besteht darin, dass durch diese Implantation des p-Gebiets der Widerstand des LDD-Bereichs ansteigt, was durch eine entsprechend geeignete Anhebung der Dotierung des LDD-Bereichs sowie durch Einbringen einer zusätzlichen n-Dotierung in den LDD-Bereich im Bereich der p-Gebiets zu kompensieren ist.

Im Stand der Technik wird ein tiefer LDD-Bereich verwendet, der zusätzlich weit unter die Gate-Struktur reicht. Der tiefe LDD-Bereich hat zur Folge, dass die zusätzlich eingebrachte Dotierung in dem p-Gebiet nur eine relativ geringe Gegendo-
tierung zu der n-Dotierung des LDD-Bereichs darstellt, so dass der Widerstand des LDD-Bereichs im Bereich des p-Gebiets nur geringfügig ansteigt. Ferner wird über dem p-Gebiet eine zusätzliche n-Dotierung eingebracht, so dass das p-Gebiet vollständig in dem LDD-Bereich vergraben ist.

Der Nachteil des tiefen LDD-Bereichs besteht darin, dass derselbe weit unter die Gate-Struktur reicht, was zu einer, insbesondere im HF-Bereich unerwünschten Erhöhung der Gate-Drain-Kapazität führt. Jedoch ist dieser tiefe und damit unter die Gate-Struktur reichende LDD-Bereich unverzichtbar, um die Abschirmung der Gate-Struktur bei gleichzeitiger Kompensation des Widerstandsanstiegs aufgrund des p-Gebiets sicherzustellen. Lösungsvorschläge für eine Kompensation des Widerstandsanstiegs bei vergleichsweise flachen LDD-Bereichen, die

nicht unter die Gate-Struktur reichen und damit eine niedrige Gate-Drain-Kapazität aufweisen sind im Stand der Technik nicht bekannt.

- 5 Ausgehend von diesem Stand der Technik liegt der vorliegenden Erfindung die Aufgabe zugrunde, eine verbesserte Halbleiterstruktur und ein Verfahren zur Herstellung derselben zu schaffen, wodurch eine Halbleiterstruktur erhalten wird, die verbesserte Eigenschaften, insbesondere im HF-Bereich, aufweist.

Diese Aufgabe wird durch eine Halbleiterstruktur nach Anspruch 1 sowie einem Verfahren nach Anspruch 7 gelöst.

- 15 Die vorliegende Erfindung schafft eine Halbleiterstruktur mit einem Substrat, einem Source-Bereich, der in dem Substrat gebildet ist, und einem Drain-Bereich, der ebenfalls in dem Substrat gebildet ist. Der Drain-Bereich hat eine Dotierung von einem ersten Leitfähigkeitstyp und umfasst einen ersten Drain-Abschnitt mit einer ersten Dotierungskonzentration und einen zweiten Drain-Abschnitt mit einer zweiten Dotierungskonzentration. Die erste Dotierungskonzentration ist höher als die zweite Dotierungskonzentration. Ferner ist in dem zweiten Drain-Abschnitt ein erstes Gebiet gebildet, das eine Dotierung von einem zweiten Leitfähigkeitstyp aufweist, der von dem ersten Leitfähigkeitstyp unterschiedlich ist. Die Halbleiterstruktur umfasst ferner ein zweites Gebiet, das in dem Substrat unter dem zweiten Drain-Abschnitt gebildet ist und eine Dotierung von dem ersten Leitfähigkeitstyp aufweist.
- 25 Ferner ist zwischen dem Source-Bereich und dem zweiten Drain-Abschnitt ein Kanalbereich in dem Substrat festgelegt.

- Die vorliegende Erfindung schafft ferner ein Verfahren zur Herstellung einer Halbleiterstruktur, bei der zunächst eine Gate-Struktur auf einem Substrat erzeugt wird, ein Source-Bereich mit einer Dotierung von einem ersten Leitfähigkeitstyp in dem Substrat erzeugt wird, und ein Drain-Bereich mit

einer Dotierung von dem ersten Leitfähigkeitstyp in dem Substrat erzeugt wird. Der Drain-Bereich wird durch Erzeugen eines ersten Drain-Abschnitts mit einer ersten Dotierungskonzentration und eines zweiten Drain-Abschnitts mit einer zweiten Dotierungskonzentration, die niedriger ist als die erste Dotierungskonzentration erzeugt, wobei der zweite Drain-Abschnitt zwischen dem ersten Drain-Abschnitt und der Gate-Struktur gebildet ist. Ferner wird ein erstes Gebiet in dem zweiten Drain-Abschnitt durch Einbringen einer Dotierung von einem zweiten Leitfähigkeitstyp in den zweiten Drain-Abschnitt erzeugt, und ein zweites Gebiet wird unter dem Drain-Abschnitt in dem Substrat durch Einbringen einer Dotierung von dem ersten Leitfähigkeitstyp erzeugt.

Gemäß der vorliegenden Erfindung wird eine Halbleiterstruktur geschaffen, bei der sich der LDD-Bereich im wesentlichen nicht unter die Gate-Struktur erstreckt, so dass eine hohe Gate-Drain-Kapazität vermieden wird.

Dies wird vorzugsweise dadurch erreicht, dass die Erzeugung des LDD-Bereichs, z.B. durch Implantation, erst nach der Gate-Strukturierung erfolgt. Anstelle der anfänglichen Strukturierung der Gate-Struktur kann auch eine entsprechende Maskierung vorgesehen sein, so dass eine Implantation in diesem Fall vor der Gate-Strukturierung durchgeführt werden kann. Ferner kann auf andere, im Stand der Technik bekannte Maßnahmen zurückgegriffen werden, um sicherzustellen, dass ein LDD-Bereich im wesentlichen nur an die Gate-Struktur angrenzt, nicht jedoch unter die Gate-Struktur reicht.

Die Erzeugung des LDD-Bereichs, z.B. durch Implantation, nach der Gate-Strukturierung führt zu einem flachen LDD-Bereich, so dass das zusätzliche p-Gebiet zur Verbesserung der Eigenschaften des LDMOS-Transistors ebenfalls flach sein muss.

Hierdurch steigt der Widerstand des LDD-Bereichs im Bereich des p-Gebiets stark an. Um diesen Anstieg zu kompensieren ist ein zusätzliches n-Gebiet erforderlich, das vorzugsweise mit

der gleichen Maske wie das p-Gebiet erzeugt wird. Anders als im Stand der Technik wird das zusätzliche n-Gebiet unter dem LDD-Bereich in dem Substrat, z.B. durch Implantation, erzeugt, so dass der LDD-Bereich in diesen Bereichen nach unten
5 (in Richtung des Substrats) ausgeweitet ist.

Gemäß einem Ausführungsbeispiel bleibt das p-Gebiet derselben floatend, wird also mit keinem Potential verbunden. Gemäß einem anderen Ausführungsbeispiel wird das p-Gebiet mit einem
10 Bezugspotential, z.B. Masse, verbunden, wodurch ein definierter Ladungsträgerabbau erreicht wird.

Der Vorteil der vorliegenden Erfindung besteht darin, dass im Bereich der Gate-Struktur ein flacher LDD-Bereich erzeugt
15 wird, der zudem nicht unter die Gate-Struktur ausgedehnt ist, so dass auch die Gate-Drain-Kapazität gering gehalten wird.

Im Gegensatz zu dem im Stand der Technik bekannten Verfahren wird hier zusätzlich zu dem ursprünglichen LDD-Bereich ein
20 zusätzliches n-Gebiet unter den ursprünglichen LDD-Bereich eingebracht, um den Widerstandsanstieg des LDD-Bereichs im Bereich des p-Gebiets zu kompensieren. Anders als im Stand der Technik stellt die p-Dotierung des p-Gebiets in dem flachen LDD-Bereich eine nicht unerhebliche Gegendotierung dar,
25 die durch die erfindungsgemäße Lösung kompensiert wird. Im Gegensatz zum Stand der Technik wird das zusätzliche n-Gebiet unterhalb des p-Gebiets und unterhalb des LDD-Bereichs, also im Substrat, angeordnet. Hierdurch wird, im Vergleich zum
Stand der Technik, ein vergleichsweise flacher LDD-Bereich
30 ermöglicht.

Bevorzugte Weiterbildungen der vorliegenden Anmeldung sind in den Unteransprüchen definiert.

35 Anhand der beiliegenden Zeichnungen werden nachfolgend bevorzugte Ausführungsbeispiele der vorliegenden Anmeldung näher erläutert. Es zeigen:

Fig. 1 eine Darstellung eines LDMOS-Transistors mit einem doppelimplantierten LDD-Bereich gemäß der vorliegenden Erfindung;

5

Fig. 2 einen Graphen, der die Eingangskennlinie des LDMOS-Transistors aus Fig. 1 für verschiedene Implantationen im LDD-Bereich wiedergibt; und

10 Fig.3 einen Graphen, der die Durchbruchkennlinie des LDMOS-Transistors aus Fig. 1 für unterschiedliche Implantationen im LDD-Bereich wiedergibt.

In Fig. 1 ist ein LDMOS-Transistor mit einer p/n-Doppelimplantation in dem LDD-Bereich gemäß der vorliegenden Erfindung dargestellt. Der LDMOS-Transistor ist in einem Substrat 100 gebildet, welches beispielsweise ein p-Substrat ist. In Fig. 1 ist lediglich das Substrat 100 dargestellt, jedoch ist gemäß der vorliegenden Erfindung unter dem Begriff „Substrat“ auch eine Struktur zu verstehen, welche eine Substratschicht und eine Epitaxieschicht auf der Substratschicht umfasst.

Das Substrat 100 hat eine p-Dotierung von etwa $3 \times 10^{15} \text{ 1/cm}^3$. Auf einer Oberfläche 102 des Substrats 100 ist eine Gate-Struktur 104 gebildet, die ein Gatepolysilizium 106 und ein Gateoxid 108 umfasst, das zwischen dem Gatepolysilizium 106 und dem Substrat 100 angeordnet ist. In dem Substrat 100 ist ferner ein n^+ -Source-Bereich 110 und ein n^+ -Drain-Bereich 112 gebildet. Unter dem Gateoxid 108 ist ein lateral diffundierter Kanalbereich 114 gebildet, der eine p-Dotierung im Bereich von etwa $2 \times 10^{17} \text{ 1/cm}^3$ aufweist. Der Source-Bereich 110 und der Drain-Bereich haben jeweils n-Dotierung von etwa $2 \times 10^{20} \text{ 1/cm}^3$.

35

Zwischen der Gate-Struktur 104 und dem Drain-Bereich 112 ist ein LDD-Bereich 116, z.B. durch Implantation, gebildet, der

eine Dotierungskonzentration aufweist, die niedriger ist als die Dotierungskonzentration des Drain-Bereichs. Bei dem dargestellten Ausführungsbeispiel liegt die Dotierungskonzentration des LDD-Bereichs bei etwa 10^{17} 1/cm³.

5

Zur Verbesserung des Verhaltens des LDMOS-Transistors ist in dem LDD-Bereich 116 ein p-Gebiet 118 gebildet, z.B. durch Implantation, mit einer p-Dotierungsdosis von etwa 1×10^{12} 1/cm².

10

Um einen Widerstandsanstieg aufgrund des eingebrachten, flachen p-Gebiets 118 in dem LDD-Bereich 116 des LDMOS-Transistors zu verhindern, ist ein weiteres n-Gebiet 120 vorgesehen, das unter dem p-Gebiet 118 und unter dem LDD-Bereich 116 liegt, also in dem Substrat. Die Dotierung des weiteren n-Gebiets 120 erfolgt vorzugsweise mit einer Dosis von etwa 2×10^{12} 1/cm².

15

20

Mit 122 ist in Fig. 1 der Bereich der Doppelimplantation in dem LDMOS-Transistor verdeutlicht.

25

Bei dem in Fig. 1 dargestellten Ausführungsbeispiel erfolgte die Implantation des LDD-Bereichs 116 vor der Abscheidung des Polymaterials der Gate-Struktur 106. Der LDD-Bereich 116 wird durch Implantation von Arsen (As) bei 80 keV mit einer Dosis von etwa $1,3 \times 10^{12}$ 1/cm² erzeugt. Das p-Gebiet 118 wird durch Implantation von Bor (B) bei 18keV mit einer Dosis von etwa 1×10^{12} 1/cm² erzeugt. Beide Implantationen erfolgen unter einem Winkel von 0° bezüglich der Normalen auf der Substratoberfläche 102.

30

35

Das weitere n-Gebiet 120 wird durch eine Implantation von Phosphor (P) bei 300 keV mit einer Dosis von etwa 2×10^{12} 1/cm² erzeugt. Die Implantation erfolgte unter einem Winkel von 7° bezüglich der Normalen auf der Substratoberfläche 102 und das Substrat (Waferscheibe) wurde während der Implantati-

on viermal gedreht („quad mode“), um so eine gleichmäßige Erzeugung der Implantation des n-Gebiets 120 sicherzustellen.

Bei der Herstellung wird die Implantation des n-Gebiets 120
5 unter Verwendung der gleichen Maske durchgeführt, die für die Implantation des p-Gebiets verwendet wurde. Diese führt zu dem definiertem Bereich 122 der in Fig. 1 gezeigt ist.

Bei einem alternativen Ausführungsbeispiel kann der LDD-
10 Bereich 116 durch eine Implantation von Phosphor (P) bei 100 keV mit einer Dosis von etwa $1,2 \times 10^{12} \text{ 1/cm}^2$ erzeugt werden.

Obwohl in Fig. 1 das p-Gebiet 118 an der Oberfläche 102 des Substrats freiliegend gezeigt ist, kann das p-Gebiets auch
15 vollständig in den LDD-Bereich 116 eingebettet sein.

Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung ist das p-Gebiet 118 mit keinem Bezugspotential verbunden, ist also „floatend“. Bei einem anderen Ausführungsbeispiel
20 kann das p-Gebiet 118 mit einem Bezugspotential, z.B. mit Masse, verbunden sein, wodurch ein definierter Ladungsabbau erreichbar ist.

Anhand der Fig. 2 ist die Verbesserung der Eingangskennlinie durch die erfindungsgemäße Doppelimplantation in dem flachen LDD-Bereich 116 dargestellt. In Fig. 2 ist über der Gate-Spannung der Drain-Strom aufgetragen, wobei vier Kurven 1 bis 4 gezeigt sind. Die in Fig. 2 gezeigten Kurven wurden für eine Drain-Spannung von 26 Volt ermittelt und zeigen die Abhängigkeit des Drain-Stroms von der anliegenden Gate-Spannung.
25
30

Die Kurve 1 zeigt den Verlauf der Eingangskennlinie nachdem nur der LDD-Bereich 116 implantiert wurde.

35 Die Kurve 2 zeigt im Verlauf der Eingangskennlinie nach das zusätzlichen p-Gebiet 118 in den LDD-Bereich 116 implantiert wurde. Wie zu erkennen ist, wird hierdurch die Kennlinie ab-

gesenkt, da sich aufgrund des p-Gebiets 118 der Widerstand im LDD-Bereich 116 erhöht, und so der Drain-Strom verglichen mit dem LDD-Bereich ohne zusätzliches p-Gebiet 118 (Kurve 1) entsprechend abnimmt.

5

Die Kurve 3 zeigt eine Simulation, bei der zusätzlich zu dem LDD-Bereich 116 nur das weitere n-Gebiet 120 unter den LDD-Bereich eingebracht wurde.

- 10 Die Kurve 4 gibt den Verlauf der Eingangskennlinie wieder, wie sie für einen LDMOS-Transistor gemäß Fig. 1 erhalten wird, bei dem in dem LDD-Bereich 116 das p-Gebiet 118 implan-
- 15 tiert ist und das n-Gebiet 120 unter den LDD-Bereich 116 eingebracht ist. Wie zu erkennen ist, kann hier trotz des zusätzlichen p-Gebiets 118 in dem LDD-Bereich 116, was grund-
- 20 sätzlich zu einer Erhöhung des Widerstands führt (siehe Kurve 2) durch das weitere n-Gebiet erreicht werden, dass der unerwünschte Widerstandsanstieg vermieden wird. Es wird sogar eine Verbesserung der Eingangskennlinie (Kurve 4) verglichen mit dem LDD-Bereich ohne zusätzliche n-Implantation (Kurve 1) erreicht.

Somit ist festzuhalten, dass durch die erfindungsgemäße Vorgehensweise, welche das zusätzliche n-Gebiet 120 unter dem

25 LDD-Bereich lehrt, der Widerstandsanstieg aufgrund des p-Gebiets 118 vermieden werden kann, wodurch der vorteilhafte Effekt des p-Gebiets 118 im LDD-Bereich 116, nämlich die Abschirmung der Gate-Struktur ohne nachteilhafte Einschränkung der Eigenschaften des HF-Transistors erreicht werden kann.

30

Anhand der Fig. 3 ist eine graphische Darstellung der Durchbruchkennlinie gezeigt, wobei in Fig. 3 über der Drain-Spannung der Drain-Strom aufgetragen ist.

- 35 Ebenso wie in Fig. 2 bezeichnet die Kurve 1 den Verlauf der Durchbruchkennlinie bei einem LDMOS-Transistor, der lediglich den LDD-Bereich 116 aufweist.

Die Kurve 2 zeigt den Verlauf der Durchbruchkennlinie eines LDMOS-Transistors mit LDD-Bereich 116 in dem zusätzlich das p-Gebiet 118 implantiert wurde.

5

Die Kurve 3 zeigt zu Vergleichszwecken den Verlauf der Durchbruchkennlinie für einen LDD-Bereich 116 unter dem das weitere n-Gebiet 120 eingebracht wurde.

10 Die Kurve 4 zeigt den Verlauf der Durchbruchkennlinie eines LDMOS-Transistors, bei dem in dem LDD-Bereich 116 das p-Gebiet 118 und unter dem LDD-Bereich 116 das weitere n-Gebiet 120 eingebracht wurden.

15 Wie aus einem Vergleich der Kurven 1 und 2 zu erkennen ist, wird durch die Einbringung des p-Gebiets 118 in den LDD-Bereich 116 die Durchbruchspannung deutlich herabgesetzt, von etwa 76 Volt auf etwa 67 Volt. Diese Abnahme der Durchbruchspannung kann durch das zusätzliche n-Gebiet 120 unterhalb
20 des LDD-Bereichs 116 kompensiert und sogar noch verbessert werden, wie durch die Kurve 4 verdeutlicht wird, bei der sich die Durchbruchspannung auf etwa 79 Volt steigern lässt.

25 Hinsichtlich der Figuren 2 und 3 ist anzumerken, dass bei diesen von einem LDMOS-Transistor gemäß Fig. 1 ausgegangen wurde, bei dem der LDD-Bereich 116 durch eine Implantation von Arsen (As) bei etwa 80 keV mit einer Dosis von $1,3 \times 10^{12} \text{ 1/cm}^2$ erzeugt wurde, wobei die Implantation vor der Abscheidung des Gatepolysiliziums 116 erfolgt. Das p-Gebiet 118 wurde
30 durch eine Implantation von Bor (B) bei etwa 18 keV mit einer Dosis von etwa 10^{12} 1/cm^2 erzeugt. Das weitere n-Gebiet wurde durch eine Implantation von Phosphor (P) bei etwa 300 keV mit einer Dosis von etwa $2 \times 10^{12} \text{ 1/cm}^2$ erzeugt. Die Implantation erfolgt in einem Winkel von etwa 7° bezüglich der
35 Normalen der auf der Oberfläche 102, wobei die Scheibe vierfach gedreht wurde, entsprechend des sogenannten „quad mode“.

Obwohl die obige Beschreibung des bevorzugten Ausführungsbeispiels der vorliegenden Erfindung anhand eines LDMOS-Transistors mit LDD-Bereich erfolgte, wird darauf hingewiesen, dass das erfindungsgemäße Verfahren auch für MOS-
5 Transistoren Anwendung findet, welche einen LDD-Bereich aufweisen.

Die vorliegende Erfindung ist nicht auf die oben beschriebenen Materialien beschränkt. Anstelle eines p-Substrats 100,
10 eines p-Gebiets 118, eines n-Source-Bereichs 110, eines n-Drain-Bereichs 112, eines n-LDD-Bereichs 116 und eines weiteren n-Gebiets 120, können selbstverständlich auch die komplementären Materialien verwendet werden, also ein n-Substrats
15 100, ein n-Gebiets 118, eines p-Source-Bereichs 110, eines p-Drain-Bereichs 112, eines p-LDD-Bereichs 116 und eines weiteren p-Gebiets 120.

Ferner ist die Erfindung nicht auf die Implantation der genannten Materialien zur Erzeugung der jeweiligen Bereiche in
20 dem Substrat beschränkt. Andere bekannte Techniken können ebenso verwendet werden.

Patentansprüche

1. Halbleiterstruktur, mit

5 einem Substrat (100);

einem Source-Bereich (110), der in dem Substrat (100) gebildet ist;

10 einem Drain-Bereich, der in dem Substrat (100) gebildet ist und eine Dotierung von einem ersten Leitfähigkeitstyp aufweist, wobei der Drain-Bereich einen ersten Drain-Abschnitt (112) mit einer ersten Dotierungskonzentration und einen
15 zweiten Drain-Abschnitt (116) mit einer zweiten Dotierungskonzentration aufweist, wobei die erste Dotierungskonzentration höher ist als die zweite Dotierungskonzentration, wobei in dem zweiten Drain-Abschnitt (116) ein erstes Gebiet (118) gebildet ist, das eine Dotierung von einem zweiten Leitfähigkeitstyp aufweist, der unterschiedlich zu dem ersten Leitfähigkeitstyp ist;
20

einem zweiten Gebiet (120), das in dem Substrat (100) unter dem zweiten Drain-Abschnitt (118) gebildet ist und eine Dotierung von dem ersten Leitfähigkeitstyp aufweist; und

25 einem Kanalbereich (114) in dem Substrat (100) zwischen dem Source-Bereich (110) und dem zweiten Drain-Abschnitt (116).

2. Halbleiterstruktur nach Anspruch 1, bei der das zweite Gebiet (120) in dem Substrat (100) derart gebildet ist, dass
30 dasselbe dem ersten Gebiet (118) in dem zweiten Drain-Abschnitt (116) im wesentlichen gegenüberliegt.

3. Halbleiterstruktur nach Anspruch 1 oder 2, bei der die Dotierungskonzentration des zweiten Gebiets (120) höher ist als
35 die Dotierungskonzentration des zweiten Drain-Abschnitts (116).

4. Halbleiterstruktur nach einem der Ansprüche 1 bis 3, bei der das erste Gebiet (118) in dem zweiten Drain-Abschnitt (116) eingebettet ist.

5

5. Halbleiterstruktur nach einem der Ansprüche 1 bis 3, bei der das erste Gebiet (118) in dem zweiten Drain-Abschnitt (116) derart gebildet ist, dass das erste Gebiet (118) an einer Oberfläche (102) des Substrats (100) freiliegt.

10

6. Halbleiterstruktur nach einem der Ansprüche 1 bis 5, bei der das erste Gebiet (118) floatend ist oder mit einem Bezugspotential verbunden ist.

7. Verfahren zur Herstellung einer Halbleiterstruktur, mit folgenden Schritten:

(a) Erzeugen einer Gate-Struktur (104) auf einem Substrat (100);

20

(b) Erzeugen eines Source-Bereichs (110) mit einer Dotierung von einem ersten Leitfähigkeitstyp in dem Substrat (110);

25

(c) Erzeugen eines Drain-Bereichs mit einer Dotierung von dem ersten Leitfähigkeitstyp in dem Substrat (100) durch Erzeugen eines ersten Drain-Abschnitts (112) mit einer ersten Dotierungskonzentration und eines zweiten Drain-Abschnitts (116) mit einer zweiten Dotierungskonzentration, die niedriger ist als die erste Dotierungskonzentration, wobei der zweite Drain-Abschnitt zwischen dem ersten Drain-Abschnitt (116) und der Gate-Struktur (104) angeordnet ist;

30

(d) Erzeugen eines ersten Gebiets (118) in dem zweiten Drain-Abschnitt (116) durch Einbringen einer Dotierung von einem zweiten Leitfähigkeitstyp in den zweiten Drain-Abschnitt (116);

35

(e) Erzeugen eines zweiten Gebiets (120) unter dem zweiten Drain-Abschnitt (116) in dem Substrat (100) durch Einbringen einer Dotierung von dem ersten Leitfähigkeitstyp.

- 5 8. Verfahren nach Anspruch 7, bei dem die Schritte (d) und (e) unter Verwendung der gleichen Maske erfolgen.

Zusammenfassung

Halbleiterstruktur mit kompensiertem Widerstand im LDD-Bereich und Verfahren zu deren Herstellung

5

Eine Halbleiterstruktur umfasst ein Substrat (100), einen Source-Bereich (110), der in dem Substrat (100) gebildet ist, und einen Drain-Bereich, der in dem Substrat (100) gebildet ist und eine Dotierung von einem ersten Leitfähigkeitstyp

10

aufweist. Der Drain-Bereich umfasst einen ersten Drain-Abschnitt (112) mit einer ersten Dotierungskonzentration und einen zweiten Drain-Abschnitt (116) mit einer zweiten Dotierungskonzentration, wobei die erste Dotierungskonzentration höher ist als die zweite Dotierungskonzentration. In dem

15

zweiten Drain-Abschnitt (116) ist ein erstes Gebiet (118) gebildet, das eine Dotierung von einem zweiten Leitfähigkeitstyp aufweist, der unterschiedlich zu dem ersten Leitfähigkeitstyp ist. Ferner ist ein zweites Gebiet (120) in dem Substrat (100) unter dem zweiten Drain-Abschnitt (116) gebildet, das eine Dotierung von dem ersten Leitfähigkeitstyp aufweist.

20

Ein Kanalbereich ist in dem Substrat zwischen dem Source-Bereich (110) und dem zweiten Drain-Abschnitt (116) vorgesehen.

25

Fig. 1

Fig. 3w Zusammenfassung :

104

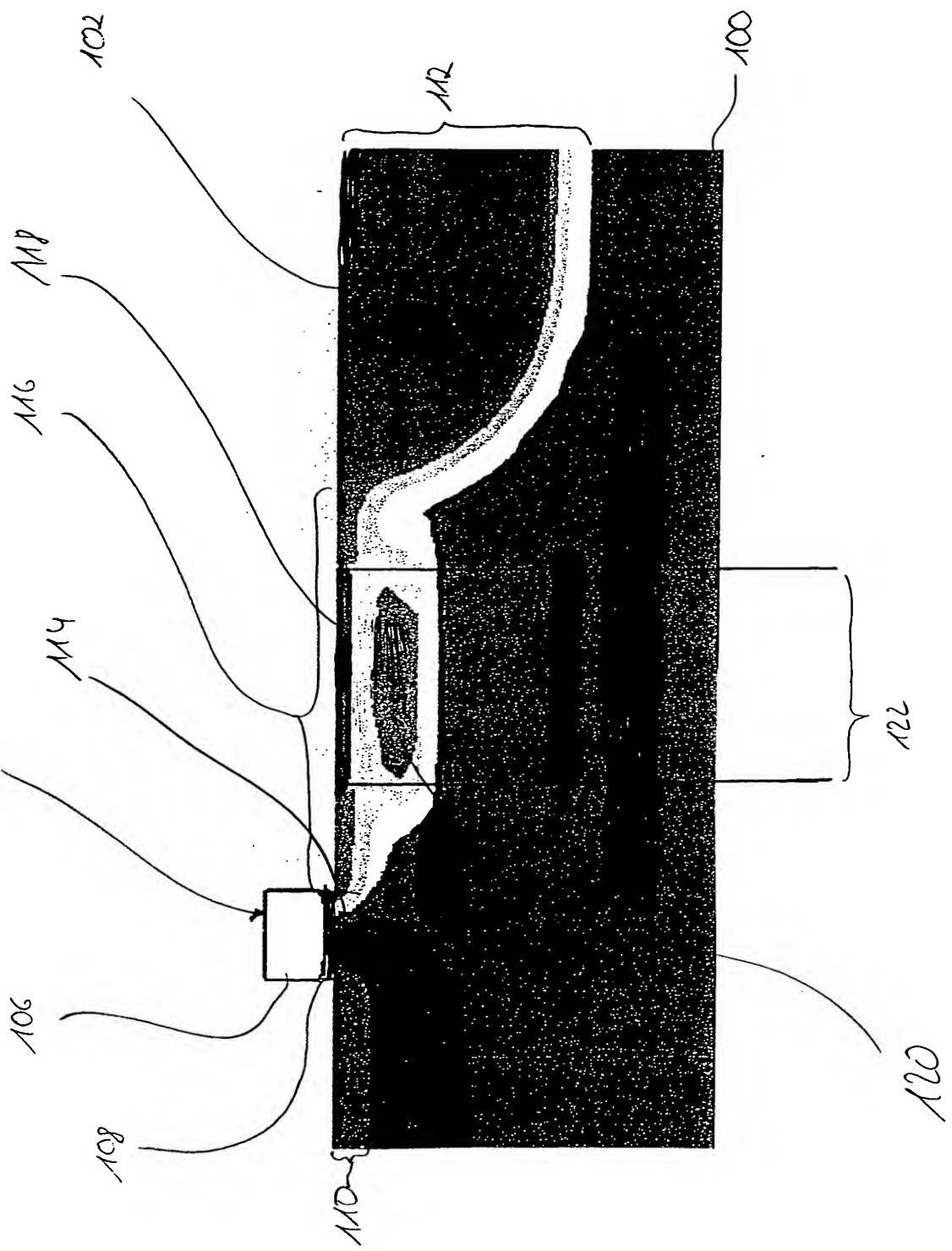


Fig. 1

Bezugszeichenliste

	100	Substrat
	102	Oberfläche des Substrats 100
5	104	Gate-Struktur
	106	Gatepolysilizium
	108	Gateoxid
	110	n ⁺ -Source-Bereich
	112	n ⁺ -Drain-Bereich
10	114	Kanal
	116	LDD-Bereich
	118	p-Gebiet
	120	n-Gebiet
	122	Bereich der Doppelimplantation

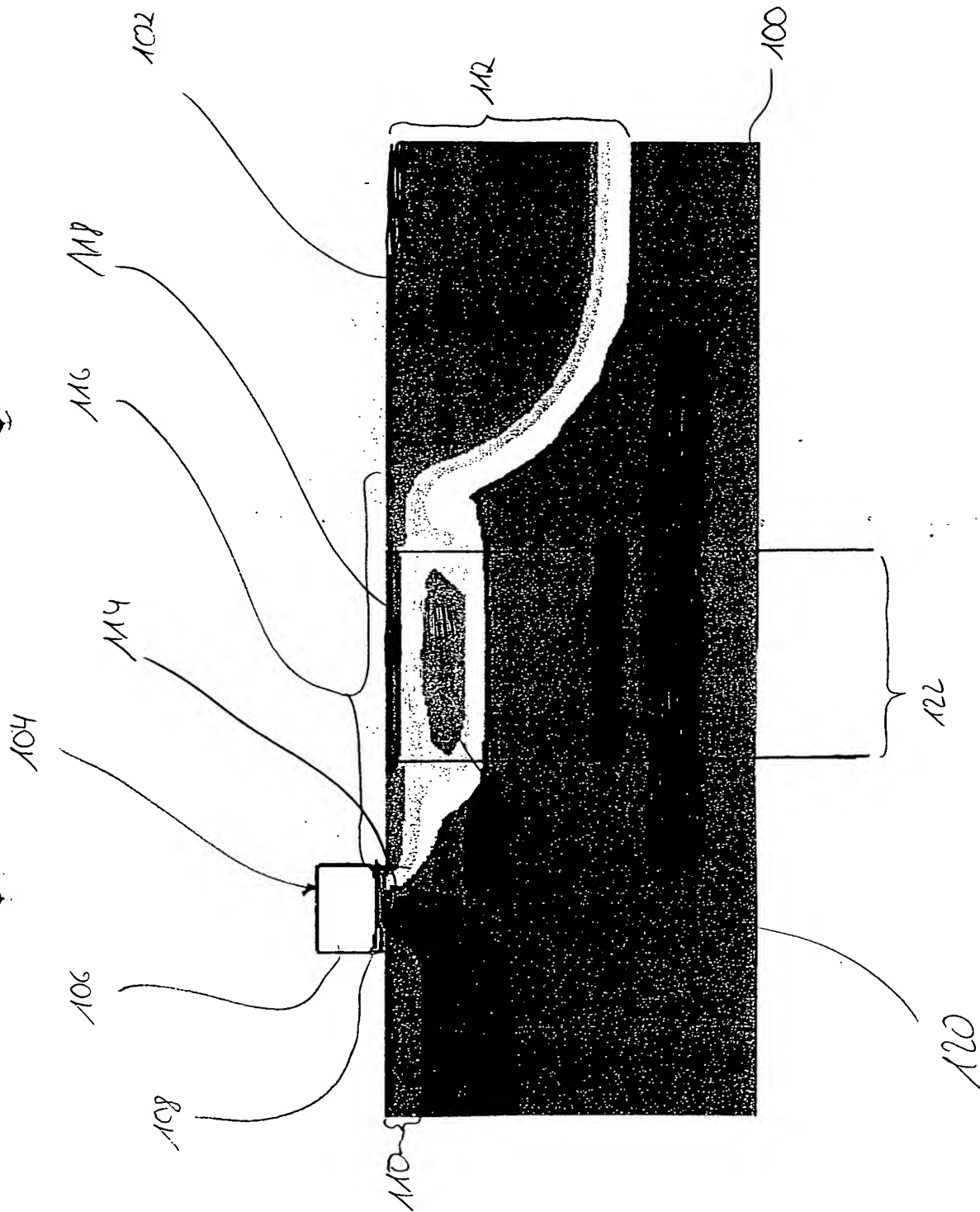
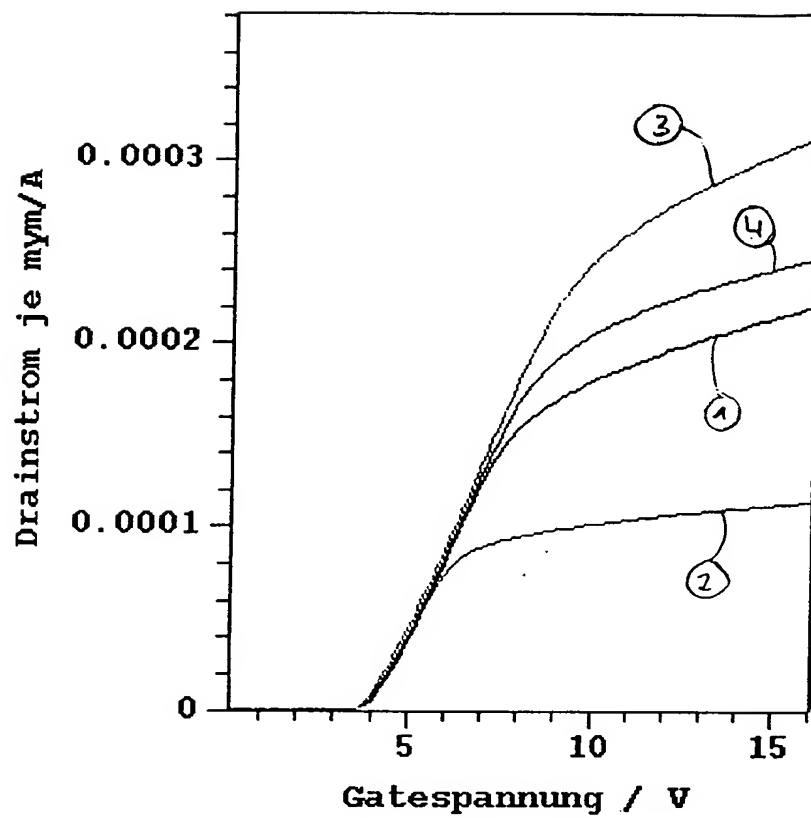
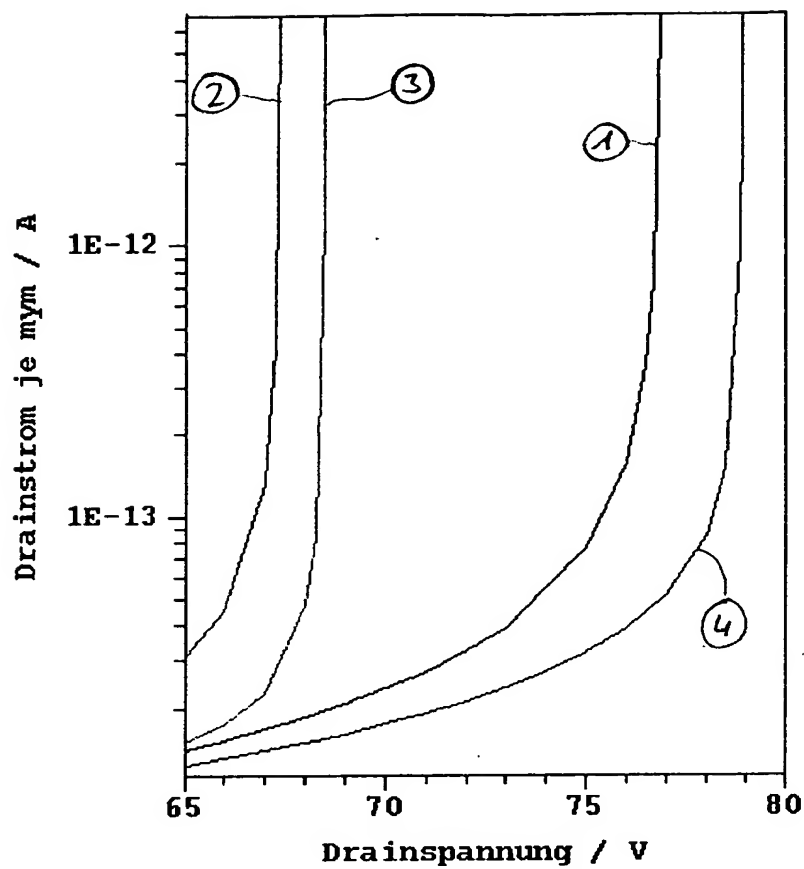


Fig. 1



- ③ 26V_2e+12_300kV_7grad_Pinch_0_18kV_0_0
- ④ 26V_2e+12_300kV_7grad_Pinch_1e+12_18kV_0_0
- ② 26V_0_150kV_7grad_Pinch_1e+12_18kV_0_0
- ① 26V_0_150kV_7grad_Pinch_0_18kV_0_0

Fig. 2



- ③ Ubd_2e+12_300kV_7grad_Pinch_0_18kV_0_0
- ④ Ubd_2e+12_300kV_7grad_Pinch_1e+12_18kV_0_0
- ② Ubd_0_150kV_7grad_Pinch_1e+12_18kV_0_0
- ① Ubd_0_150kV_7grad_Pinch_0_18kV_0_0

Fig. 3